

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-169873

(43) 公開日 平成7年(1995)7月4日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
21/60	3 1 1 S	6918-4M		
H 0 5 K 1/18		L 7128-4E		
3/34	5 0 7 C	7128-4E		

H 0 1 L 23/12

N

審査請求 有 請求項の数 4 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-314762

(22) 出願日 平成5年(1993)12月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小木曾 道則

東京都港区芝五丁目7番1号 日本電気株式会社内

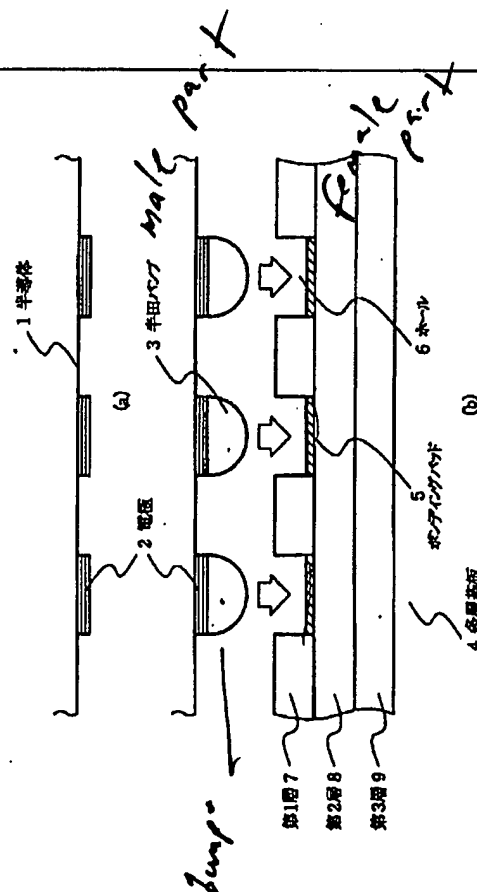
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 多層基板およびその製造方法

(57) 【要約】

【目的】 半導体を基板に実装する際に半田がボンディングパッド以外のパターンに流れ込むのを防止する。

【構成】 半導体の電極上に設けられたバンプ電極が電気的に接続するボンディングパッドを有する層の基板より上位の各層の基板に、ボンディングパッドとの位置の整合をとってホールを設ける。各層の基板を積層し、焼成により多層基板を製造する。半導体のバンプ電極を多層基板上に設けられたホールに挿入し、基板の下面より熱を加えることによりフリップチップ実装する。各層基板のホール以外の部分が壁となり、溶融した半田がボンディングパッド以外のパターンに流れ込まない。



## 【特許請求の範囲】

【請求項1】 半導体の電極と接続されるボンディングパッドを有する第1の基板と、この第1の基板上に配置され、前記ボンディングパッドの対応する位置にホールを有する第2の基板との少なくとも2枚の基板を有することを特徴とする多層基板。

【請求項2】 前記第2の基板が前記第1の基板に形成されたボンディングパッドとは別のボンディングパッドを有し、前記第2の基板上に配置され、前記第1および第2の基板に形成されたボンディングパッドの対応する位置にホールを有する第3の基板を有することを特徴とする請求項1記載の多層基板。

【請求項3】 半導体の多層基板へのフリップチップ実装において、前記半導体に設けられた電極上の半田バンプを前記多層基板の表面層である第1層基板上に設けられたホールに挿入し、前記多層基板の下面より熱を加えることにより、前記電極が前記第1層基板の下位層に設けられたボンディングパッドのみと前記半田バンプを介して電気的に接続することを特徴とする半導体の多層基板へのフリップチップ実装。

【請求項4】 フリップチップ実装に用いられる少なくとも3枚の基板から構成される多層基板の製造方法において、前記少なくとも3枚の基板のうちホールのみを有する表面層基板である第1層基板以外の少なくとも2枚の基板に設けられたビアホールに導体ペーストを充填させ、前記3枚の基板を積み重ねることにより積層させ、焼成することを特徴とする多層基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体のフリップチップ実装に用いられる多層基板およびその製造方法に関する。

## 【0002】

【従来の技術】従来、この種のフリップチップ実装はワイヤーを用いたマニュアルボンディングに比べ低コスト、生産性の向上が図れる等の利点を有するため、広く使用されている。

【0003】図5は従来のフリップチップ実装に用いられる基板およびその実装方法を説明する断面図である。図5(a)に示すように、半導体11には電極2が設けられている。次に図5(b)において、まず、この電極12上に球状の半田バンプ13を形成する。半導体11が実装される基板14には、半田バンプ13を介して電極12と電気的に接続されるボンディングパッド15が設けられている（なお、同図においては多層基板の第1層基板のみ基盤14として示されている）。また、基板14には半導体11を基板14に実装する際に、熔融した半田バンプ13がボンディングパッド15以外の回路およびパターンに流れ込むのを防止するための厚膜ガラス16が形成されている。この厚膜ガラス16は多層基

板における基板焼成処理の後にガラスペーストを塗布し、焼成することにより形成される。

【0004】このような構成において、半導体11を半田バンプ13がボンディングパッド15上に接触するように基板14上に重ね合わせ、基板の低面より加熱する。この加熱により半田バンプが溶融し、電極12とボンディングパッド15とは電気的に接続される。

【0005】また、この種の半導体を実装される基板およびその製造方法に関しては、例えば、1992年6月19日公開の特開平4-171891号公報（文献1）記載の構造および製造方法が知られている。この文献1には、多層プリント配線板の表面中央部に凹部を有し、縦断面がU字形である凹部の低面および側面を含む全面に銅メッキが施された表面実装パッドが設けられた多層プリント配線板が記載されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、図5に示したフリップチップ実装に用いられる基板は基板焼成後に厚膜ガラスを形成させるため、2度も基板を焼成しなくてはならず、製造工程が複雑である。また、ボンディングパッドと厚膜ガラスとの位置関係を正確に合わせる必要があるにもかかわらず、基板焼成時に基板を構成するグリーンシートが縮むために、整合が不可能である。

【0007】一方、文献1記載の基板およびその製造方法は製造工程が非常に複雑であり、生産効率が低下するという問題を有する。

【0008】本発明は上述した問題を解決し、半導体と基盤との位置合わせが容易でしかも製造が容易なフリップチップ実装用基板およびその製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】そこで、本発明では、多層基板において、バンプ電極が電気的に接続するボンディングパッドの位置に整合するボンディングパッドを有する層の基板より上位の層の基板にホールを設けることにより上記目的を達成している。

## 【0010】

【実施例】次に本発明について図面を参照して詳細に説明する。

【0011】まずはじめに、半導体と多層基板とのフリップチップ実装方法について説明する。以下、本発明の特徴である半導体と多層基板上のボンディングパッドとの電気的接続構造および方法が理解し易いように3層からなる多層基板を例にとり説明する。

【0012】図1は、本発明の半導体のフリップチップ実装方法を説明する断面図である。

【0013】図1において、図(a)は実装される半導体1を示しており、従来の技術として図5で示した半導体11と同様のものを用いる。図(b)は半田バンプ3

が形成された半導体1と、半導体1を実装するセラミック多層基板4を示している。図(b)において、基板4の第1層7には、第2層8に設けられたボンディングパッド5と対応する位置にホール6が設けられている。また、同図には記載されていないが、第2および3層基板、8および9は、各層に設けられたビアホールに導体ペーストを充填させ、基板を焼成することにより電氣的に接続されている。また、第1および2の層基板、7および8は前述した焼成により接合されている。

【0014】このような構成において、まず、半田バン3を、ボンディングパッド5上に接触するようにホール6に挿入し、同図の矢印方向に半導体1と多層基板4とを重ね合わせる。次に、多層基板4に下面より熱を加えることにより半田バン3が溶融し、電極2とボンディングパッド5とは電氣的に接続される。この時、第2層8に設けられたボンディングパッド5以外の回路およびパターンには溶融した半田は流れ込まない。これは、第1層7のホール6以外の部分が従来の技術として図5で説明した厚膜ガラス16と同じ作用を有するからである。

【0015】次に、本発明による多層基板およびその製造方法について図2および3を用いて説明する。

【0016】まず、図(a)に示したグリーンシート10にパンチングにより穴をあけることによりホール6を形成し、第1層基板7を得る。次に図(c)に示すように第2層基板8に回路パターン18を形成するとともに、半導体1の半田バン3と接触する部分にボンディングパッド5を設ける。また、第3層基板9と電氣的接続を得るためのビアホール17を回路パターン18の端部に設け、内部にはタングステン等の導体ペーストを充填する。図(d)に示す第3層基板9には、第2層基板8と同様に回路パターン18を設けるとともに、第2層基板のビアホール17の位置と対応する位置に接続部19を設ける。

【0017】次に、図2に示した第1層～第3層基板7～9を積み重ね、積層された基板を焼成することにより第1層～第3層からなる多層基板4を得る。なお、ホール6を有する第1層基板7と第2層基板8との積層方法は、図3に示すように、ホール6とボンディングパッド5との位置が整合するように同図矢印の方向に積層する。

【0018】次に、図4を参照して本発明の第2の実施例を説明する。図(b)に示すように、多層基板4の第2および3層基板7および8には、各ボンディングパッド5が設けられている。また、半田バン3とボンディングパッド5とが電氣的に接続されるよう第1および2層基板7および8にホール6が設けられている。ただし、第2層基板8には回路パターンが形成されているため、この回路パターンとホール6が交叉しないようにホ

ール6が設けられている。各層基板上のボンディングパッド5、ホール6、および回路パターンの形成方法は第1の実施例と全く同様である。また、実装方法についても同様である。

【0019】

【発明の効果】以上説明したように、本発明による多層基板では、下位層にバンパ電極が電氣的に接続されるボンディングパッドが設けられ、上位層に、ボンディングパッドの対応する位置にホールが設けられているため、従来のように、上位層に半田流れ防止用の厚膜ガラスを形成させる必要がなく、1度の基板焼成で多層基板を得ることができる。また、ボンディングパッドと厚膜ガラスとの位置関係の整合を行う必要がない。このため、フリップチップ実装用多層基板の製造工程が大幅に簡略化でき、生産効率が向上するという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する第2層基板のみにボンディングパッドがある場合の半導体のフリップチップ実装を説明する断面図。

20 【図2】本発明の一実施例である多層基板およびその製造方法を説明する斜視図。

【図3】図2に示した多層基板の第1層基板を積層する状態を示す斜視図。

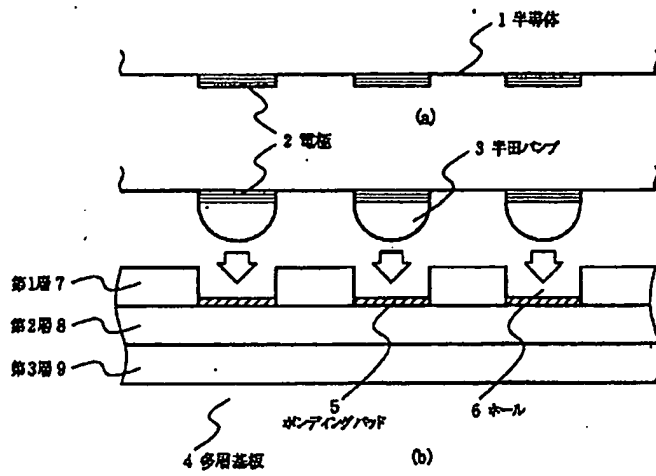
【図4】本発明の第2の実施例を説明する多層基板の第2および3層基板にボンディングパッドを有する多層基板およびその実装方法を説明する断面図。

【図5】従来のフリップチップ実装に用いられる基板およびその実装方法を説明する断面図。

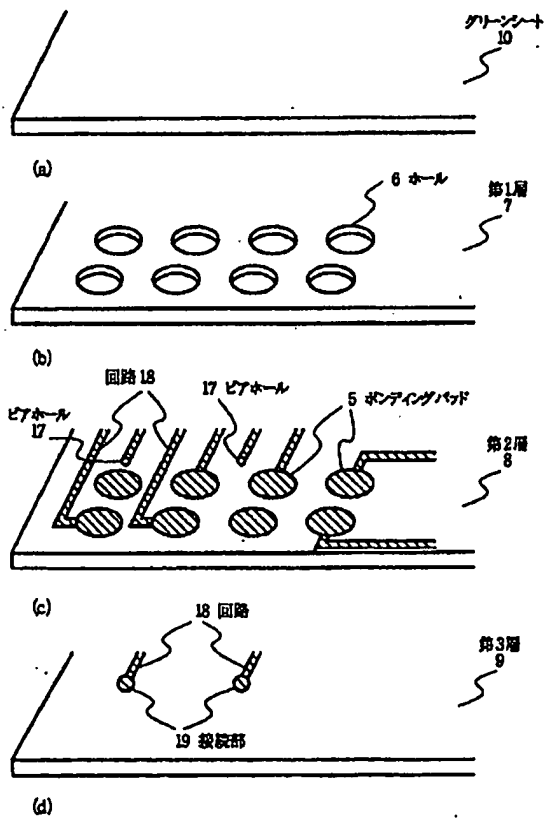
【符号の説明】

- |    |    |           |
|----|----|-----------|
| 30 | 1  | 半導体       |
|    | 2  | 電極        |
|    | 3  | 半田バンパ     |
|    | 4  | 多層基板      |
|    | 5  | ボンディングパッド |
|    | 6  | ホール       |
|    | 7  | 第1層基板     |
|    | 8  | 第2層基板     |
|    | 9  | 第3層基板     |
|    | 10 | グリーンシート   |
| 40 | 11 | 半導体       |
|    | 12 | 電極        |
|    | 13 | 半田バンパ     |
|    | 14 | 基板        |
|    | 15 | ボンディングパッド |
|    | 16 | 厚膜ガラス     |
|    | 17 | ビアホール     |
|    | 18 | 回路        |
|    | 19 | 接続部       |

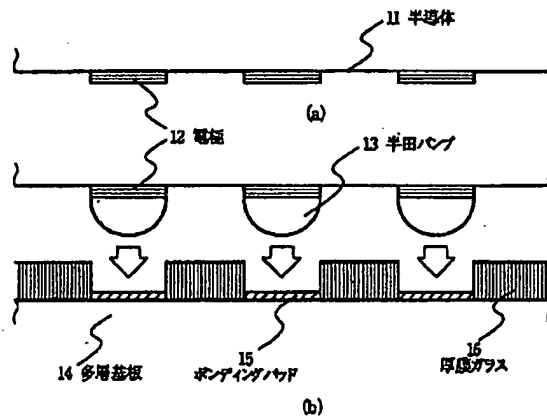
【図1】



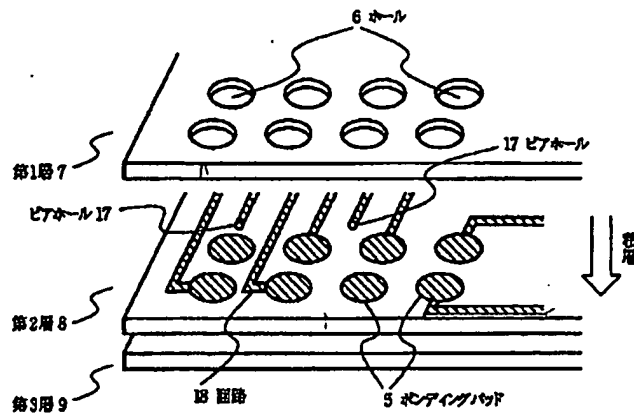
【図2】



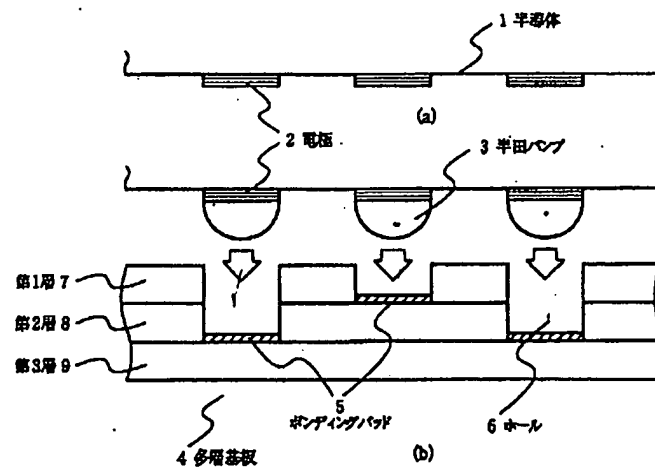
【図5】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H05K 3/46

識別記号 庁内整理番号  
G 6921-4E  
N 6921-4E

F I

技術表示箇所